

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-308510

(43) 公開日 平成10年(1998)11月17日

(51) Int. Cl. ⁶

H01L 29/78
21/336

識別記号

F I

H01L 29/78

652 T
652 J
652 E
658 F

審査請求 未請求 請求項の数18 O L (全17頁)

(21) 出願番号 特願平9-259076

(22) 出願日 平成9年(1997)9月24日

(31) 優先権主張番号 特願平9-50233

(32) 優先日 平9(1997)3月5日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 ラジェシュ クマール

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 山本 剛

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 恩田 正一

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 弁理士 恩田 博宣

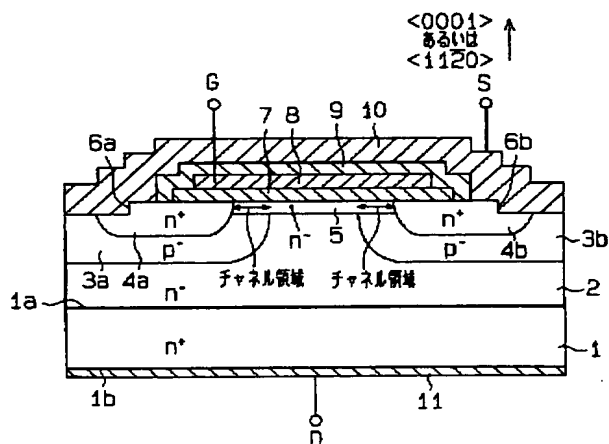
最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置及びその製造方法

(57) 【要約】

【課題】 チャネル移動度を向上させてオン抵抗を向上することができる炭化珪素半導体装置を提供する。

【解決手段】 n^- 型炭化珪素半導体基板1の主表面上には n^- 型炭化珪素エピ層2が形成され、 n^- 型炭化珪素エピ層2の表層部の所定領域において所定深さを有する p 型炭化珪素ベース領域3a、3bが形成され、ベース領域3a、3bの表層部の所定領域に n^- 型ソース領域4a、4bが形成されている。ベース領域3a、3bの表層部においてソース領域4a、4bと n^- 型炭化珪素エピ層2とを繋ぐように表面チャネルエピ層5が配置されている。表面チャネルエピ層5の表面にはゲート絶縁膜7を介してゲート電極8が形成されている。ベース領域3a、3bおよびソース領域4a、4bに接触するようにソース電極10が、基板1の裏面にドレイン電極11が形成されている。



【特許請求の範囲】

【請求項 1】 主表面および主表面の反対面である裏面を有し、単結晶炭化珪素よりなる第 1 導電型の半導体基板と、

前記半導体基板の主表面上に形成され、前記半導体基板よりも低いドーパント濃度を有する第 1 導電型の炭化珪素エピタキシャル層と、

前記炭化珪素エピタキシャル層の表層部の所定領域に形成され、所定深さを有する第 2 導電型のベース領域と、

前記ベース領域の表層部の所定領域に形成され、該ベース領域の深さよりも浅い第 1 導電型のソース領域と、

前記ベース領域の表面部において前記ソース領域と前記第 1 導電型の炭化珪素エピタキシャル層とを繋ぐように配置され、炭化珪素よりなる第 1 導電型の表面チャンネル層と、

前記表面チャンネル層の表面に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されたゲート電極と、

前記ベース領域およびソース領域に接触するように形成されたソース電極と、前記半導体基板の裏面に形成されたドレイン電極とを備えたことを特徴とする炭化珪素半導体装置。

【請求項 2】 請求項 1 に記載の炭化珪素半導体装置において、

前記ゲート電極はポリシリコンゲート電極であり、このポリシリコンゲート電極は前記表面チャンネル層と逆導電型である炭化珪素半導体装置。

【請求項 3】 請求項 1 に記載の炭化珪素半導体装置において、

前記炭化珪素半導体基板は、その主表面が、低い表面状態密度の (0 0 0 1) Si 面、又は、低い表面状態密度であり、完全にらせん転位の無い結晶である (1 1 2 バー 0) a 面である炭化珪素半導体装置。

【請求項 4】 請求項 1 に記載の炭化珪素半導体装置において、

前記表面チャンネル層のドーパント濃度は、前記炭化珪素エピタキシャル層及びベース領域のドーパント濃度以下である炭化珪素半導体装置。

【請求項 5】 請求項 1 に記載の炭化珪素半導体装置において、

前記ゲート電極は第 1 の仕事関数電位を有し、前記ベース領域は第 2 の仕事関数電位を有し、前記表面チャンネル層は第 3 の仕事関数電位を有し、この第 1、第 2 及び第 3 の仕事関数電位を、前記表面チャンネル層に第 1 導電型のキャリアを封じ込めるべく設定してなる炭化珪素半導体装置。

【請求項 6】 請求項 5 に記載の炭化珪素半導体装置において、

前記第 1、第 2 及び第 3 の仕事関数電位は、前記ゲート電極がドレイン領域に対してゼロ電位にあるとき、前記

表面チャンネル層に第 1 導電型のキャリアを封じ込めるべく設定されてなる炭化珪素半導体装置。

【請求項 7】 請求項 1 に記載の炭化珪素半導体装置において、

前記表面チャンネル層は、エピタキシャル成長またはイオン注入にて形成されているものである炭化珪素半導体装置。

【請求項 8】 請求項 1 に記載の炭化珪素半導体装置において、

10 前記表面チャンネル層はエピタキシャル成長にて形成されており、前記半導体基板と炭化珪素エピタキシャル層とベース領域とソース領域を構成する炭化珪素と、前記表面チャンネル層の炭化珪素の結晶系が異なる炭化珪素半導体装置。

【請求項 9】 請求項 8 に記載の炭化珪素半導体装置において、

前記半導体基板と炭化珪素エピタキシャル層とベース領域とソース領域を構成する炭化珪素が六方晶であり、前記表面チャンネル層の炭化珪素が立方晶である炭化珪素半導体装置。

【請求項 1 0】 請求項 1 に記載の炭化珪素半導体装置において、

前記表面チャンネル層はエピタキシャル成長にて形成されており、前記半導体基板と炭化珪素エピタキシャル層とベース領域とソース領域を構成する炭化珪素と、前記表面チャンネル層の炭化珪素の多形が異なる炭化珪素半導体装置。

【請求項 1 1】 請求項 1 に記載の炭化珪素半導体装置において、

30 前記表面チャンネル層はエピタキシャル成長にて形成されており、前記半導体基板と炭化珪素エピタキシャル層とベース領域とソース領域を構成する炭化珪素が 6 H であり、前記表面チャンネル層の炭化珪素が 3 C である炭化珪素半導体装置。

【請求項 1 2】 請求項 1 に記載の炭化珪素半導体装置において、

前記ベース領域の一部の厚さを厚くした炭化珪素半導体装置。

40 【請求項 1 3】 請求項 1 2 に記載の炭化珪素半導体装置において、

前記ベース領域の厚さを厚くした部分の不純物濃度を、厚さの薄い部分の不純物濃度よりも高くした炭化珪素半導体装置。

【請求項 1 4】 請求項 1 2 に記載の炭化珪素半導体装置において、

前記ベース領域の厚さを厚くした部分を前記ソース領域の下部に形成した炭化珪素半導体装置。

【請求項 1 5】 請求項 1 2 に記載の炭化珪素半導体装置において、

50 前記ベース領域の厚さを厚くした部分を前記ソース領域

とは重ならない箇所に形成した炭化珪素半導体装置。

【請求項 1 6】 請求項 1 に記載の炭化珪素半導体装置において、

前記表面チャネル層が前記ソース領域の一部領域上に重なっている炭化珪素半導体装置。

【請求項 1 7】 単結晶炭化珪素よりなる第 1 導電型の半導体基板の主表面上に、半導体基板よりも低いドーパント濃度を有する第 1 導電型の炭化珪素エピタキシャル層を形成する工程と、

前記炭化珪素エピタキシャル層の表層部の所定領域に、
所定深さを有する第 2 導電型の第 1 のベース領域を形成する工程と、

前記炭化珪素エピタキシャル層の上に、炭化珪素よりなる第 1 導電型の表面チャネル層を配置する工程と、

前記第 1 のベース領域内の所定領域に、第 1 のベース領域よりも深い第 2 導電型の第 2 のベース領域を形成する工程と、

前記第 2 のベース領域形成用マスクを用いて、前記第 1 のベース領域の表層部の所定領域に、該第 1 のベース領域の深さよりも浅い第 1 導電型のソース領域を形成する工程と、

前記表面チャネル層の表面にゲート絶縁膜を介してゲート電極を形成するとともに、前記ベース領域およびソース領域に接触するソース電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 1 8】 単結晶炭化珪素よりなる第 1 導電型の半導体基板の主表面上に、半導体基板よりも低いドーパント濃度を有する第 1 導電型の炭化珪素エピタキシャル層を形成する工程と、

前記炭化珪素エピタキシャル層の表層部の所定領域に、
所定深さを有する第 2 導電型のベース領域を形成するとともに、ベース領域の表層部の所定領域に、該ベース領域の深さよりも浅い第 1 導電型のソース領域を形成する工程と、

前記第 1 導電型の炭化珪素エピタキシャル層の上に、炭化珪素よりなる第 1 導電型の表面チャネル層をエピタキシャル成長する工程と、

前記ソース領域の上の一部に表面チャネル層を残した状態で不要な表面チャネル層を除去する工程と、

前記表面チャネル層の表面にゲート絶縁膜を介してゲート電極を形成するとともに、前記ベース領域およびソース領域に接触するソース電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、炭化珪素半導体装置、より詳しくは、絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型 MOS FET に関するものである。

【0002】

【従来の技術】 シリコンパワースイッチング素子において、低ブレイクダウン化については材料であるシリコンを用いることにより限界に達している。本質的な改善は、炭化珪素 (SiC) のようなより高いブレイクダウン領域を備えた半導体を使用することよってのみ達成させることができる。炭化珪素の臨界電界は、(所定の耐圧に対する多量のドーピング層及び薄いドリフト領域層を許容する) シリコンのそれよりも 1 桁高く、その結果、低いオン抵抗となる。換言すれば、炭化珪素素子のダイサイズは、同等のオン抵抗のシリコン素子を用いた場合よりも約 1 桁以上サイズを小さくできる (M. Bhatnager and B. J. Baliga, IEEE Transactions on Electron Devices 40, 645 (1993) 参照)。

【0003】 さらに、炭化珪素の自然酸化物は SiO₂ であり、化合物半導体では唯一のものである。熱酸化物は、従来の方法により容易に炭化珪素の表面上に形成され、SiO₂ の界面及びバルク特性は、シリコン上に成長した SiO₂ のそれに匹敵する (N. Tokura, K. Hara, T. Miyajima, H. Fuma, and K. Hara, Jpn. J. Appl. Phys. 34, 5567 (1995) 参照)。炭化珪素は、電気自動車のための高速／高電圧スイッチング素子、特に、高電力ユニ／バイポーラ素子として用いた際には非常に優れた材料となる (Hingorani and K. E. Stahlkopf, Scientific American 269, 78 (1993) 参照)。従って、MOS 構造を有する MOSFET、IGBT、MOS 制御サイリスタ又は MOS 集積回路のような高性能なパワー素子は、炭化珪素材料を用いて製造される。

【0004】 ただし、新材料システムで期待されるように、そのような素子の実現される前に、いくつかの問題が解決されなければならない。一般に、MOS 構造を有するパワー FET には、トレンチ MOSFET と、トレンチの無いプレーナ型 MOSFET の 2 種類の構造が使用される。シリコン素子において、トレンチ MOSFET 構造はプレーナ型 MOSFET 構造よりも優れていることはすでに理論的及び実験的に証明されている (B. J. Baliga, T. Syau, and P. Venkatraman, IEEE Electron Device Letter 13, 427 (1992) 参照)。トレンチ MOSFET 構造は、プレーナ型 MOSFET よりも狭い表面積でも低オン抵抗化でき高いチャネル密度とすることができる。

【0005】 図 30 は、従来の炭化珪素トレンチ MOSFET を示す断面図である。図 30 において、n⁺ 型炭化珪素半導体基板 60 の上に、n⁺ 型炭化珪素エピタキシャル層 61 と p⁺ 型炭化珪素エピタキシャル層 62 とが積層され、p⁺ 型炭化珪素エピタキシャル層 62 の表層部には n⁺ 型ソース領域 63 が形成されている。また、p⁺ 型炭化珪素エピタキシャル層 62 を貫通し n⁺ 型炭化珪素エピタキシャル層 61 に至るトレンチ 64 が

形成されている。このトレンチ 6 4 の内部においてゲート絶縁膜 6 5 を介してゲート電極 6 6 が配置され、ゲート電極 6 6 は絶縁膜 6 7 にて覆われている。また、 p^+ 型炭化珪素エピタキシャル層 6 2 および n^+ 型ソース領域 6 3 に接するようにソース電極 6 8 が配置されるとともに、 n^+ 型炭化珪素半導体基板 6 0 の裏面にはドレイン電極 6 9 が配置されている。

【0006】この構造の設計の際に、チャネル形成領域の不純物濃度は、 p 型ベース領域 (p^+ 型炭化珪素エピタキシャル層 6 2) と共通であるため、エピタキシャル層 6 2 にて決定される。パワー MOSFET の設計において、 p 型ベース領域 (6 2) の不純物濃度及び厚さは、耐圧を決定するための主要な設計パラメータであるのに対し、チャネル形成領域の不純物濃度は、ゲート閾値電圧及びチャネル抵抗を決定するための設計パラメータである。一般的にゲート電極 6 6 にはポリシリコンが用いられ、同ゲート電極 6 6 は、ゲート絶縁層 6 5 (一般に SiO_2) を介在することによりチャネル領域から分離されている。ゲート電極 6 6 への適切なゲートバイアスの供給に基づきターンオン及びターンオフ制御が行われる。例えば、正のゲートバイアスの供給に応じて導電反転層が p 型チャネル領域内に形成されたとき、 n 型エンハンスメント MOSFET ではターンオンが生じる。この反転層にて n^+ 型ソース領域 6 3 と n 型ドレイン領域 (6 1) とが電氣的に接続される。また、垂直なトレンチ 6 4 の側壁に沿って配置されたポリシリコンゲート電極 6 6 の制御下で、電流はソース電極 6 8 からドレイン電極 6 9 へと垂直に流れる。従って、チャネル長は重要な設計パラメータである。なぜなら、チャネル長はオン抵抗及び相互コンダクタンスに大きな影響を与えるためである。

【0007】 $6H-SiC$ の臨界電界は、約 $2.6 MeV/cm$ という値を有する。しかしながら、この構造におけるトレンチ 6 4 の底面においては局所的に高い電界が生じ得る。トレンチ 6 4 の底面での酸化物内の電界は、 SiC のそれよりも (誘電率の比率で) 3 倍高く、即ち、 $7.8 MeV/cm$ である。従って、トレンチ 6 4 の底面での酸化物の品質が悪ければ、その電界にてブレイクダウンされてしまう。

【0008】図 3 1 は、2 次元の TMA MEDICI シミュレータを用いて、耐圧を 500 ボルトとした場合におけるトレンチ MOSFET の電界特性を示す。図 3 1 において縦軸は基板表面からの距離 x (図 3 0 参照) である。この図 3 1 から、トレンチ 6 4 の底面において電界が最大となることが分かる。これにより、トレンチ 6 4 の底面における酸化物によりブレイクダウンが引き起こされることになる。

【0009】また、信頼性の理由から、その酸化物内の電界は約 $3.0 MeV/cm$ 以下に維持されなければならない。これは、炭化珪素内のピーク電界は、実際の炭

化珪素のブレイクダウン電界に対し $1/2 \sim 1/3$ の約 $1 MeV/cm$ に制限されるためである。また、耐圧はピーク電界の 2 乗で表わされるため、最大の耐圧は、 $1/4 \sim 1/9$ にされる。その影響は、トレンチ 6 4 の側面における電界効果により更に悪化される。さらに、炭化珪素トレンチ構造を形成するために使用される反応性イオンエッチング (RIE) によっても高エネルギーイオンの衝突によりトレンチ表面に結晶欠陥が生じ、この不規則なトレンチ表面 (粗さ) は、電子の表面移動度を低減する表面拡散を招く。RIE で形成されたトレンチ側壁における反転層表面の移動度は、滑らかにされた表面上での移動度に比べ大幅に低下する。また、表面粗さもゲート電極/ SiO_2 でのブレイクダウン電圧を低下させ、ソース・ドレイン間の漏れ電流を増大させる。従って、これらの要因により素子特性が大きく低下してしまう。

【0010】これらのことを考慮して別の観点からプレーナ型 MOSFET を見ると、プレーナ型 MOSFET は炭化珪素パワー素子に適した構造と言える。図 3 2 は、従来の炭化珪素プレーナ型 MOSFET を示す断面図である。図 3 2 において、 n^+ 型炭化珪素半導体基板 7 0 の上に、 n^+ 型炭化珪素エピタキシャル層 7 1 が積層され、 n^+ 型炭化珪素エピタキシャル層 7 1 の表層部には二重拡散による p^+ 型炭化珪素ベース領域 7 2 および n^+ 型ソース領域 7 3 が形成されている。また、 n^+ 型炭化珪素エピタキシャル層 7 1 の上にはゲート絶縁膜 7 4 を介してゲート電極 7 5 が配置され、ゲート電極 7 5 は絶縁膜 7 6 にて覆われている。 p^+ 型炭化珪素ベース領域 7 2 および n^+ 型ソース領域 7 3 に接するようにソース電極 7 7 が配置されるとともに、 n^+ 型炭化珪素半導体基板 7 0 の裏面にはドレイン電極 7 8 が配置されている。

【0011】炭化珪素は材料の拡散係数が非常に低いことから、炭化珪素において拡散法は実用的ではなく、 p^+ 型炭化珪素ベース領域 7 2 及び n^+ 型ソース領域 7 3 はイオン注入法により形成される。そして、一旦、その炭化珪素の結晶中に注入されたら、ドーパント原子は格子の隙間を占め、電子的に活性化するために代わりの場所へ移動されなければならない。この活性化は、不活性雰囲気中において高温のアニールにより行われる。動作としては、ポリシリコンゲート電極 7 5 に対し正のバイアスを印加すると、絶縁膜 (SiO_2) 7 4 と p^+ 型炭化珪素ベース領域 7 2 との界面におけるベース領域 7 2 の表面において、表面反転層が形成され、電子は、 n^+ 型ソース領域 7 3 からその反転層に沿って n^+ 型ドリフト領域 (7 1) へ流れる。ドリフト領域 (7 1) に達すると、電子は底部の n^+ ドレイン領域 (7 0) へ垂直に流れる。

【0012】しかしながら、高い酸化物電荷及び界面の状態からのクーロン散乱に起因する、 SiC 材料中の電

10

20

30

40

50

子の不十分な表面反転層の移動度は、チャネル移動度を制限し、結果的にプレーナ型 MOSFET のオン抵抗が高くなることが実験的に分かった。さらに、アルミニウム等の不純物がドーパされた p 型炭化珪素ベース領域 7 2 上で成長した不十分な熱酸化物は、許容できないフラットバンドシフト又は高い表面状態密度をもたらす高密度の正電荷を含む (B. J. Baliga, Microelectronic Engineering 28, 177 (1995) 参照)。

【0013】

【発明が解決しようとする課題】この発明はこのような事情に鑑みなされたもので、その目的は、チャネル移動度を向上させてオン抵抗を向上することができる炭化珪素半導体装置を提供することにある。

【0014】

【課題を解決するための手段】請求項 1 に記載の発明によれば、ゲート電極に電圧を印加してゲート絶縁膜に電界を与えることにより、表面チャネル層に蓄積型チャネルを誘起させて、ゲート電極とドレイン電極との間にキャリアが流れる。

【0015】このように、MOSFET 動作モードを、チャネル形成層の導電型を反転させることなくチャネルを誘起する蓄積モードとすることで、導電型を反転させてチャネルを誘起する反転モードの MOSFET に比べ、チャネル移動度を大きくしてオン抵抗を向上するとともに、低いゲート電圧で MOSFET を動作させることができる。

【0016】又、ベース領域の不純物濃度と表面チャネル層の不純物濃度とを独立に制御でき、表面チャネル層の不純物濃度を低くすることでキャリアが流れる時の不純物散乱の影響を小さくすることができる。そのため、チャネル移動度を大きくすることができる。

【0017】ここで、請求項 8 に記載のように、請求項 1 に記載の炭化珪素半導体装置において、前記表面チャネル層はエピタキシャル成長にて形成され、前記半導体基板と炭化珪素エピタキシャル層とベース領域とソース領域を構成する炭化珪素と、前記表面チャネル層の炭化珪素の結晶系が異なるものとする。例えば、請求項 9 に記載のように、半導体基板と炭化珪素エピタキシャル層とベース領域とソース領域を構成する炭化珪素を六方晶とし、表面チャネル層の炭化珪素を立方晶とする。

【0018】又、請求項 10 に記載のように、請求項 1 に記載の炭化珪素半導体装置において、前記表面チャネル層はエピタキシャル成長にて形成され、前記半導体基板と炭化珪素エピタキシャル層とベース領域とソース領域を構成する炭化珪素と、前記表面チャネル層の炭化珪素の多形が異なるものとする。

【0019】又、請求項 11 に記載のように、請求項 1 に記載の炭化珪素半導体装置において、前記表面チャネ

ル層はエピタキシャル成長にて形成され、前記半導体基板と炭化珪素エピタキシャル層とベース領域とソース領域を構成する炭化珪素を 6 H とし、前記表面チャネル層の炭化珪素を 3 C とするとよい。

【0020】この請求項 8 ~ 11 のようにエピタキシャル成長にて形成される表面チャネル層の炭化珪素の多形等を基板側とは異なるものを用いると、高特性、高信頼性のある装置を実現することが可能となる。

【0021】又、請求項 12 に記載のように、前記ベース領域の一部の厚さを厚くするとよい。このようにすると、ブレークダウンしやすくなる。さらに、請求項 13 に記載のように、請求項 12 に記載の炭化珪素半導体装置において、前記ベース領域の厚さを厚くした部分の不純物濃度を、厚さの薄い部分の不純物濃度よりも高くするとよい。このようにすると、更にブレークダウンしやすくなる。

【0022】又、請求項 14 に記載のように、請求項 12 に記載の炭化珪素半導体装置において、前記ベース領域の厚さを厚くした部分を前記ソース領域の下部に形成するとよい。このようにすると、製造の際において深いベース領域形成用マスクとソース領域形成用マスクの共通化を図ることができる。

【0023】つまり、請求項 17 に記載のように、単結晶炭化珪素よりなる第 1 導電型の半導体基板の主表面上に、半導体基板よりも低いドーパント濃度を有する第 1 導電型の炭化珪素エピタキシャル層を形成し、炭化珪素エピタキシャル層の表層部の所定領域に、所定深さを有する第 2 導電型の第 1 のベース領域を形成する。そして、炭化珪素エピタキシャル層の上に、炭化珪素よりなる第 1 導電型の表面チャネル層を配置し、第 1 のベース領域内の所定領域に、第 1 のベース領域よりも深い第 2 導電型の第 2 のベース領域を形成し、さらに、第 2 のベース領域形成用マスクを用いて、第 1 のベース領域の表層部の所定領域に、該第 1 のベース領域の深さよりも浅い第 1 導電型のソース領域を形成する。その後、表面チャネル層の表面にゲート絶縁膜を介してゲート電極を形成するとともに、ベース領域およびソース領域に接触するソース電極を形成する。

【0024】このようにして、第 2 のベース領域形成用マスクを用いてソース領域が形成され、マスクの共通化を図ることができる。又、請求項 15 に記載のように、請求項 12 に記載の炭化珪素半導体装置において、前記ベース領域の厚さを厚くした部分を前記ソース領域とは重ならない箇所に形成するとよい。このようにすると、破壊しにくくなる。

【0025】さらに、請求項 16 に記載のように、請求項 1 に記載の炭化珪素半導体装置において、前記表面チャネル層が前記ソース領域の一部領域上に重なっているものとする。このようにすると、ソース領域から表面チャネル層へのコンタクト面積を広くすることがで

きる。

【0026】この場合の製造方法として、請求項18に記載のように、単結晶炭化珪素よりなる第1導電型の半導体基板の主表面上に、半導体基板よりも低いドーパント濃度を有する第1導電型の炭化珪素エピタキシャル層を形成し、炭化珪素エピタキシャル層の表層部の所定領域に、所定深さを有する第2導電型のベース領域を形成するとともに、ベース領域の表層部の所定領域に、該ベース領域の深さよりも浅い第1導電型のソース領域を形成する。そして、第1導電型の炭化珪素エピタキシャル層の上に、炭化珪素よりなる第1導電型の表面チャネル層をエピタキシャル成長し、ソース領域の上の一部に表面チャネル層を残した状態で不要な表面チャネル層を除去する。さらに、表面チャネル層の表面にゲート絶縁膜を介してゲート電極を形成するとともに、前記ベース領域およびソース領域に接触するソース電極を形成する。

【0027】このようにすると、請求項16の半導体装置が製造される。

【0028】

【発明の実施の形態】

(第1の実施の形態) 以下、この発明の実施の形態を図面に従って説明する。

【0029】図1に、本実施の形態におけるnチャネルタイプのプレーナ型MOSFET(縦型パワーMOSFET)の断面図を示す。本デバイスは、インバータや車両用オルタネータのレクチファイヤに適用すると好適なものである。

【0030】n⁺型炭化珪素半導体基板1は、六方晶系炭化珪素が用いられている。尚、n⁺型炭化珪素半導体基板1は、立方晶でもよい。また、n⁺型炭化珪素半導体基板1は上面を主表面1aとし、主表面の反対面である下面を裏面1bとしている。このn⁺型炭化珪素半導体基板1の主表面1a上に、基板1よりも低いドーパント濃度を有するn⁺型炭化珪素エピタキシャル層(以下、n⁺型炭化珪素エピ層という)2が積層されている。

【0031】ここで、n⁺型炭化珪素半導体基板1およびn⁺型炭化珪素エピ層2の上面を(0001)Si面としている。あるいは、n⁺型炭化珪素半導体基板1およびn⁺型炭化珪素エピ層2の上面を(112バー0)a面としてもよい。つまり、(0001)Si面を用いると低い表面状態密度が得られ、(1120)a面を用いると、低い表面状態密度で、かつ、完全にらせん転位の無い結晶が得られる。

【0032】n⁺型炭化珪素エピ層2の表層部における所定領域には、所定深さを有するp⁺型炭化珪素ベース領域3aおよびp⁺型炭化珪素ベース領域3bが離間して形成されている。また、p⁺型炭化珪素ベース領域3aの表層部における所定領域には、ベース領域3aよりも浅いn⁺型ソース領域4aが、また、p⁺型炭化珪素

ベース領域3bの表層部における所定領域には、ベース領域3bよりも浅いn⁺型ソース領域4bが形成されている。さらに、n⁺型ソース領域4aとn⁺型ソース領域4bとの間におけるn⁺型炭化珪素エピ層2およびp⁺型炭化珪素ベース領域3a、3bの表面部にはn⁺型SiC層5が延設されている。つまり、ベース領域3a、3bの表面部においてソース領域4a、4bとn⁺型炭化珪素エピ層2とを繋ぐようにn⁺型SiC層5が配置されている。このn⁺型SiC層5は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3Cのものを用いる。尚、エピタキシャル層は下地の基板に関係なく各種の結晶を形成できるものである。デバイスの動作時にデバイス表面においてチャネル形成層として機能する。以下、n⁺型SiC層5を表面チャネルエピ層という。

【0033】ここで、表面チャネルエピ層5のドーパント濃度は、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度であり、かつ、n⁺型炭化珪素エピ層2及びp⁺型炭化珪素ベース領域3a、3bのドーパント濃度以下である。これにより、低オン抵抗化が図られている。

【0034】また、p⁺型炭化珪素ベース領域3a、3b、n⁺型ソース領域4a、4bのの表面部には凹部6a、6bが形成されている。表面チャネルエピ層5の上面およびn⁺型ソース領域4a、4bの上面にはゲート絶縁膜(シリコン酸化膜)7が形成されている。さらに、ゲート絶縁膜7の上にはポリシリコンゲート電極8が形成されている。ポリシリコンゲート電極8は絶縁膜9にて覆われている。絶縁膜9としてLT O(Low Temperature Oxide)膜が用いられている。その上にはソース電極10が形成され、ソース電極10はn⁺型ソース領域4a、4bおよびp⁺型炭化珪素ベース領域3a、3bと接している。また、n⁺型炭化珪素半導体基板1の裏面1bには、ドレイン電極層11が形成されている。

【0035】次に、パワープレーナ型MOSFETの製造工程を、図2～図9を用いて説明する。まず、図2に示すように、n型4Hまたは6Hまたは3C-SiC基板、即ち、n⁺型炭化珪素半導体基板1を用意する。ここで、n⁺型炭化珪素半導体基板1はその厚さが400μmであり、主表面1aが(0001)Si面、又は、(1120)a面である。この基板1の主表面1aに厚さ5μmのn⁺型炭化珪素エピ層2をエピタキシャル成長する。本例では、n⁺型炭化珪素エピ層2は下地の基板(1)と同様の結晶が得られ、n型4Hまたは6Hまたは3C-SiC層となる。

【0036】そして、図3に示すように、n⁺型炭化珪素エピ層2の上の所定領域にLT O膜20を配置し、これをマスクとしてAl(アルミニウム)をイオン注入して、p⁺型炭化珪素ベース領域3a、3bを形成する。このときのイオン注入条件は、温度が700℃で、ドー

ズ量が $1 \times 10^{18} \text{ cm}^{-2}$ である。

【0037】さらに、LTO膜20を除去した後、図4に示すように、 n^+ 型炭化珪素エピ層2の上に n^+ 型の表面チャネルエピ層5をエピタキシャル成長する。このときの成長条件は、ソースガスとして SiH_4 、 C_2H_6 、 H_2 を用い、成長温度を 1600°C とする。

【0038】引き続き、図5に示すように、表面チャネルエピ層5の上の所定領域にLTO膜21を配置し、これをマスクとして N_2 をイオン注入して、 n^+ 型ソース領域4a、4bを形成する。このときのイオン注入条件は、 700°C 、ドーズ量は $1 \times 10^{18} \text{ cm}^{-2}$ である。

【0039】そして、LTO膜21を除去した後、図6に示すように、フォトリソ法を用いて表面チャネルエピ層5の上の所定領域にLTO膜22を配置し、これをマスクとしてRIEにより n^+ 型ソース領域4a、4bの一部および p^+ 型炭化珪素ベース領域3a、3bをエッチングして凹部6a、6bを形成する。このとき、RIEガスとして $\text{CF}_4 + \text{O}_2$ を用いる。

【0040】さらに、LTO膜22を除去した後、図7に示すように、基板の上にウェット酸化によりゲート絶縁膜（ゲート酸化膜）7を形成する。このとき、雰囲気温度は 1080°C とする。

【0041】その後、図8に示すように、ゲート絶縁膜7の上にポリシリコンゲート電極8をLPCVDにより堆積する。このときの成膜温度は 600°C とする。引き続き、図9に示すように、ゲート絶縁膜7の不要部分を除去した後、LTOよりなる絶縁膜9を形成しゲート絶縁膜7を覆う。より詳しくは、成膜温度は 425°C であり、成膜後に 1000°C のアニールを行う。

【0042】そして、図1に示すように、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に 1000°C のアニールを行う。

【0043】このようにして、パワープレーナ型MOSFETが完成する。次に、このパワープレーナ型MOSFETの作用（動作）を説明する。本MOSFETは蓄積モードで動作するものであって、表面チャネルエピ層5においてキャリアは、 p^+ 型炭化珪素ベース領域3a、3bと表面チャネルエピ層5との間の静電ポテンシャルの差、及び表面チャネルエピ層5とポリシリコンゲート電極8との間の仕事関数の差により生じた電位によって空乏化される。ポリシリコンゲート電極8に電圧を印加することにより、表面チャネルエピ層5とポリシリコンゲート電極8との間の仕事関数の差により生じる電位を変化させる。このことにより、チャネルの状態を制御することができる。

【0044】つまり、ポリシリコンゲート電極8の仕事関数電位を第1の仕事関数電位とし、 p^+ 型炭化珪素ベース領域3a、3bの仕事関数電位を第2の仕事関数電位とし、表面チャネルエピ層5の仕事関数電位を第3の

仕事関数電位としたとき、第1～第3の仕事関数電位を調整して、表面チャネルエピ層5に n 型のキャリアを封じ込めるように設定することができる。即ち、第1～第3の仕事関数電位を、ポリシリコンゲート電極8がドレイン領域に対してゼロ電位にあるとき、表面チャネルエピ層5に n 型のキャリア（電子）を封じ込めるべく設定する。つまり、表面チャネルエピ層5を空乏化する。

【0045】動作説明に戻り、オフ状態において、空乏領域は、 p^+ 型炭化珪素ベース領域3a、3b及びポリシリコンゲート電極8により作られた電界によって、表面チャネルエピ層5内に形成される。この状態からポリシリコンゲート電極8に対して正のバイアスを供給すると、ゲート絶縁膜（ SiO_2 ）7と表面チャネルエピ層5との間の界面において n^+ 型ソース領域4a、4bから n^+ 型ドリフト領域2方向へ伸びるチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、 n^+ 型ソース領域4a、4bから表面チャネルエピ層5を経由し表面チャネルエピ層5から n^+ 型炭化珪素エピ層2に流れる。そして、 n^+ 型炭化珪素エピ層2（ドリフト領域）に達すると、電子は、 n^+ 型炭化珪素半導体基板1（ n^+ ドレイン）へ垂直に流れる。

【0046】このようにゲート電極8に正の電圧を印加することにより、表面チャネルエピ層5に蓄積型チャネルを誘起させ、ソース電極10とドレイン電極11との間にキャリアが流れる。

【0047】なお、本デバイスの動作原理は、垂直チャネルJFETのそれと似ている（B. J. Baliga, "Modem Power Devices", Kreiger Press, Malabar, Florida, 1992参照）。

【0048】このノーマリオフ蓄積モードのデバイスは、アバランシェブレイクダウン状態まで耐えられる。この構造において、ソース・ドレイン間の伝導を妨げるための充分な障壁高さを得るために、チャネルを形成するエピタキシャル層5は、厚さを薄くしなければならない（サブミクロンオーダー）、または、濃度が低くなければならない。つまり、作り易さから考えると厚さは均一性の点から厚い方が望ましく、濃度は装置の不純物混入が避けられないため高い方が望ましい。ノーマリオフプレーナ型MOSFET設計において使用されるエピタキシャル成長層5の最大の厚さは、その不純物濃度、 SiO_2 膜厚、及びゲート電極として使用されるポリシリコンの導電型に依存する。

【0049】 1000°C ボルトの耐圧下でオン抵抗を最小とするために、素子構造パラメータ、即ち、 n 型表面チャネルエピ層5の厚み及び不純物濃度、 p^+ 型炭化珪素ベース領域3a、3b及び n^+ 型炭化珪素エピ層2の不純物濃度を最適化すべく、2次元素子シミュレーションを行ったので、以下説明する。

【0050】図10には、耐圧と、 n 型表面チャネルエピ層5の厚みと、その不純物濃度との相関を示す。図1

0において、ポリシリコンゲート電極8としてp型不純物をドーブした場合とn型不純物をドーブした場合の2通りを示し、ポリシリコンゲート電極8としてp型不純物をドーブした場合においては、表面チャネルエピ層5の不純物の濃度として $1 \times 10^{17} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{15} \text{ cm}^{-3}$ とし、ポリシリコンゲート電極8としてn型不純物をドーブした場合においては、表面チャネルエピ層5の不純物の濃度として $1 \times 10^{16} \text{ cm}^{-3}$ としている。

【0051】図10から、耐圧は、表面チャネルエピ層5の厚みに依存することが分かる。また、その電圧は、ゲート電極8に使用されるポリシリコンの導電型に依存し、表面チャネルエピ層5が同じ不純物濃度であるならば、p型ポリシリコンゲート電極8の方がn型ポリシリコンゲート電極8よりも優れていることが分かる（同じ耐圧で同じ不純物濃度ならば表面チャネルエピ層5をより厚くできる）。つまり、表面チャネルエピ層5と逆の導電型にした方が耐圧が優れている。これは、空乏層の拉がりを促進できるためである。

【0052】このように本実施の形態では、MOS界面に関する未解決の殆どの問題、即ちトレンチMOSFETにおける高い表面状態密度、低いチャネル移動度及び高い電界について対応できる。また、蓄積モードにて動作するデバイスの電子移動度は、反転層モードのデバイスよりもずっと高いため、オン抵抗を大幅に低減できる（S. C. Sun and J. D. Plummer, IEEE, Trans. Electron Device DE-27, 1497 (1980) 参照）。

【0053】また、n型表面チャネルエピ層5を用いたことにより、チャネル領域の不純物濃度とp⁺型炭化珪素ベース領域3a、3bの不純物濃度とを個別に制御することができる。従って、異なる領域の不純物濃度を個別に制御して、高い耐圧、低いオン抵抗、及び低い閾値電圧を備えたパワーMOSFETを得られる。つまり、図30、32に示す従来のSiC MOSFETの設計では、高い耐圧、低いオン抵抗、及び低い閾値電圧を備えたパワーMOSFETを得るべく、チャネル及びpベース領域の不純物濃度を個別に制御することはできないが、本実施形態のデバイスにおいてはそれが可能となる。

【0054】この点について更に言及すると、図32に示すSiC材料を用いたプレーナ型MOSFETは拡散工程が適用できないためにイオン注入によってベース領域72とソース領域73を形成しているので、イオン注入されたSiCを酸化して形成されたSiC/SiO₂界面はイオン注入時のダメージが残り界面準位密度が高くチャネル移動度は低い。また、反転層となるp⁺型ベース領域72もアルミをイオン注入するため品位は低く移動度の向上は望めない。これに対し図1に示す本実施の形態においてはチャネル層を高品位なエピタキシャル

層5で形成することにより清浄な界面を得ることができる。

【0055】これまで述べた本実施の形態での構成の他にも、上述した例では、nチャネル縦型MOSFETに適用した場合について説明したが、図1においてp型とn型を入れ替えた、pチャネル縦型MOSFETにおいても、同じ効果が得られる。

【0056】又、表面チャネルエピ層5の代わりにイオン注入によるSiC層を用いてもよい。即ち、図4において基板の上にエピタキシャル層5を形成したが、このときに、図11に示すように、SiC基板に対しN₂をイオン注入して基板表層部にn⁺型チャネル形成用SiC層25を形成してもよい。

（第2の実施の形態）次に、第2の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0057】図12には、本実施形態におけるnチャネルタイプのプレーナ型MOSFET（縦型パワーMOSFET）の断面図を示す。図12において、n⁺型炭化珪素半導体基板1の主表面1a上に、基板1よりも低いドーパント濃度を有するn⁺型炭化珪素エピ層2が積層されている。このn⁺型炭化珪素エピ層2の表層部における所定領域には、所定深さを有するp⁺型炭化珪素ベース領域3aおよびp⁺型炭化珪素ベース領域3bが離間して形成されている。また、p⁺型炭化珪素ベース領域3aの表層部における所定領域には、ベース領域3aよりも浅いn⁺型ソース領域4aが、また、p⁺型炭化珪素ベース領域3bの表層部における所定領域には、ベース領域3bよりも浅いn⁺型ソース領域4bが形成されている。ここで、ベース領域3a、3bにおいて一部の厚さが厚くなっている。つまり、ディープベース領域30a、30bが形成されている。このベース領域3a、3bの厚さを厚くした部分（ディープベース領域30a、30b）の不純物濃度は、厚さの薄い部分の不純物濃度よりも高くなっている。また、ディープベース領域30a、30bはソース領域4a、4bの下部に形成されている。

【0058】さらに、n⁺型ソース領域4aとn⁺型ソース領域4bとの間におけるn⁺型炭化珪素エピ層2の表面部およびp⁺型炭化珪素ベース領域3a、3bの表面部にはn⁺型SiC層（表面チャネルエピ層）5が延設されている。n⁺型SiC層（表面チャネルエピ層）5は、エピタキシャル成長にて形成されたものであり、デバイスの動作時にデバイス表面においてチャネル形成層として機能する。

【0059】ここで、半導体基板1とn⁺型炭化珪素エピ層2とベース領域3a、3bとソース領域4a、4bを構成する炭化珪素は、6H-SiCが用いられ、表面チャネルエピ層5は3C-SiCが用いられている。

【0060】また、p⁺型炭化珪素ベース領域3a、3b、n⁺型ソース領域4a、4bのの表面部には凹部6

15

a, 6 b が形成されている。表面チャネルエピ層 5 の上面および n⁺ 型ソース領域 4 a, 4 b の上面にはゲート絶縁膜 (シリコン酸化膜) 7 が形成されている。さらに、ゲート絶縁膜 7 の上にはポリシリコンゲート電極 8 が形成され、ポリシリコンゲート電極 8 は絶縁膜 9 にて覆われている。その上にはソース電極 10 が形成され、ソース電極 10 は n⁺ 型ソース領域 4 a, 4 b および p⁺ 型炭化珪素ベース領域 3 a, 3 b と接している。また、n⁺ 型炭化珪素半導体基板 1 の裏面 1 b には、ドレイン電極層 11 が形成されている。

【0061】次に、このパワープレーナ型 MOSFET の製造工程を、図 13～図 20 を用いて説明する。まず、図 13 に示すように、n 型 6H-SiC 基板、即ち、n⁺ 型炭化珪素半導体基板 1 を用意し、この基板 1 の主表面 1 a に厚さ 5 μm の n⁺ 型炭化珪素エピ層 2 をエピタキシャル成長する。本例では、n⁺ 型炭化珪素エピ層 2 は下地の基板 (1) と同様の結晶が得られ、n 型 6H-SiC 層となる。

【0062】そして、図 14 に示すように、n⁺ 型炭化珪素エピ層 2 の上の所定領域に LTO 膜 20 を配置し、これをマスクとして Al (アルミニウム) をイオン注入して、p⁺ 型炭化珪素ベース領域 3 a, 3 b を形成する。

【0063】さらに、LTO 膜 20 を除去した後、図 15 に示すように、n⁺ 型炭化珪素エピ層 2 の上に n⁺ 型の表面チャネルエピ層 5 を、CVD 装置を用いてエピタキシャル成長する。このときの成長条件は、ソースガスとして SiH₄, C₂H₂, H₂ を用い、かつ、SiH₄/C₂H₂/H₂ 流量比を「0.5」とする。また、成長温度を 1300℃ とする。これにより、3C-SiC 表面チャネルエピ層 5 を得る。つまり、通常 1500℃ に対して 1300℃ と温度を下げるとともに、SiH₄/C₂H₂/H₂ 流量比を通常「1」であるのに対し「0.5」と低くして成膜することにより 3C-SiC 表面チャネルエピ層 5 を得る。即ち、6H-SiC の {0001} 面の上に 3C-SiC {111} 面を形成する。

【0064】引き続き、図 16 に示すように、表面チャネルエピ層 5 の上にマスク (LTO 膜等) 31 を配置した状態でアルミをイオン注入してディープベース領域 30 a, 30 b を形成する。

【0065】さらに、図 17 に示すように、前述のマスク 31 を用いて、N₂ をイオン注入して、n⁺ 型ソース領域 4 a, 4 b を形成する。そして、マスク 31 を除去した後、図 18 に示すように、フォトリソ法を用いて表面チャネルエピ層 5 の上の所定領域に LTO 膜 22 を配置し、これをマスクとして RIE により n⁺ 型ソース領域 4 a, 4 b の一部および p⁺ 型炭化珪素ベース領域 3 a, 3 b をエッチングして凹部 6 a, 6 b を形成する。

【0066】さらに、LTO 膜 22 を除去した後、図 1

16

9 に示すように、基板の上にウェット酸化によりゲート絶縁膜 (ゲート酸化膜) 7 を形成する。その後、ゲート絶縁膜 7 の上にポリシリコンゲート電極 8 を LPCVD により堆積する。

【0067】引き続き、図 20 に示すように、ゲート絶縁膜 7 の不要部分を除去した後、LTO よりなる絶縁膜 9 を形成しポリシリコンゲート電極 8 を覆う。そして、図 12 に示すように、室温での金属スパッタリングによりソース電極 10 及びドレイン電極 11 を配置する。また、成膜後に 1000℃ のアニールを行う。

【0068】このようにして、パワープレーナ型 MOSFET が完成する。このパワープレーナ型 MOSFET のオフ時には、ポリシリコンゲート電極 8 と表面チャネルエピ層 5 の仕事関数差および p⁺ 型炭化珪素ベース領域 3 a, 3 b と表面チャネルエピ層 5 の pn 接合による空乏化によりピンチオフする。

【0069】一方、ポリシリコンゲート電極 8 に電圧を印加することで表面チャネルエピ層 5 にキャリアが蓄積する蓄積モードでオンする。オン状態においては、電子は、n⁺ 型ソース領域 4 a, 4 b から表面チャネルエピ層 5 を経由し表面チャネルエピ層 5 から n⁺ 型炭化珪素エピ層 2 に流れ、n⁺ 型炭化珪素エピ層 2 (ドリフト領域) に達すると、電子は、n⁺ 型炭化珪素半導体基板 1 (n⁺ ドレイン) へ垂直に流れる。

【0070】この際、本実施形態においては基板側 SiC とは別に表面チャネルエピ層 5 として高い移動度を持つ 3C-SiC を用いているので FET のトランジスタ特性 (オン抵抗) を著しく向上することができ、特にオン抵抗を低減させることによりモジュールとして用いた場合の損失を大幅に低減することができる。

【0071】つまり、基板側 SiC の上に同じ多形・結晶系の表面チャネルエピ層 5 を成長させる場合 (例えば、6H-SiC 基板の上に 6H-SiC エピタキシャル層を形成したり、4H-SiC 基板の上に 4H-SiC エピタキシャル層を形成する場合)、一般的には特性のよい 4H-SiC が用いられるが、その 4H-SiC 基板は品質が悪くエピタキシャル層までも品位が落ちてしまう。これに対し、表面チャネルエピ層 5 の多形・結晶系を基板側とは異なるものを用いることにより高特性、高信頼性のある SiC 半導体装置を得ることができる。

【0072】尚、基板側 SiC (1, 2, 3 a, 3 b, 4 a, 4 b) と表面チャネルエピ層 5 の多形・結晶系の組み合わせとしては、6H-SiC 基板と 3C-SiC エピタキシャル層 5 の組み合わせの他にも、例えば、6H-SiC 基板と 4H-SiC エピタキシャル層 5、4H-SiC 基板と 3C-SiC エピタキシャル層 5、など各種の組み合わせが可能である。

【0073】又、ベース領域 3 a, 3 b においてディープベース領域 30 a, 30 b が形成されベース領域 3

a, 3bの一部の厚さが厚くなっているため、ディープベース領域30a, 30bの下側のn⁺型炭化珪素エピ層2における厚さが薄くなり(n⁺型炭化珪素半導体基板1とディープベース領域30a, 30bとの距離が短くなり)ブレイクダウンしやすくなる。また、ディープベース領域30a, 30bの不純物濃度は厚さの薄い部分の不純物濃度よりも高くなっているため、更にブレイクダウンしやすくなる。さらに、ディープベース領域30a, 30bはソース領域4a, 4bの下部に形成されているため、図16, 17に示すようにマスク31の共通化を図ることができる。

【0074】このように本実施形態は、下記の特徴を有する。

(イ) 半導体基板1とn⁺型炭化珪素エピ層2とベース領域3a, 3bとソース領域4a, 4bを構成する炭化珪素を6Hとし、表面チャネルエピ層5の炭化珪素を3Cとした。即ち、半導体基板1とn⁺型炭化珪素エピ層2とベース領域3a, 3bとソース領域4a, 4bを構成する炭化珪素が六方晶であり、表面チャネルエピ層5の炭化珪素が立方晶である。換言すれば、半導体基板1とn⁺型炭化珪素エピ層2とベース領域3a, 3bとソース領域4a, 4bを構成する炭化珪素と、表面チャネルエピ層5の炭化珪素の多形が異なるものとした。

【0075】このように表面チャネルエピ層5の多形・結晶系を基板側とは異なるものを用いることにより高特性、高信頼性のあるSiC半導体装置を得ることが可能となる。

(ロ) ベース領域3a, 3bの一部の厚さを厚くしたディープベース領域30a, 30bを設けたため、ブレイクダウンしやすくなる。

(ハ) ディープベース領域30a, 30bの不純物濃度は厚さの薄い部分の不純物濃度よりも高くなっているため、更にブレイクダウンしやすくなる。

(ニ) ディープベース領域30a, 30b(ベース領域の厚さを厚くした部分)をソース領域4a, 4bの下部に形成したので、製造の際に、図16, 17に示すように深いベース領域形成マスクとソース領域形成マスクを共通化したマスク31を用いることができ、製造コストアップを招くことなく図12のプレーナ型MOSFETを製造することができる。

【0076】つまり、図13のように半導体基板1の主表面1a上にn⁺型炭化珪素エピ層2を形成し、図14のようにn⁺型炭化珪素エピ層2の表層部の所定領域に、所定深さを有するベース領域3a, 3bを形成する。そして、図15のようにn⁺型炭化珪素エピ層2の上に、表面チャネルエピ層5を配置し、図16のようにベース領域3a, 3b内の所定領域に、ベース領域3a, 3bよりも深いディープベース領域30a, 30bを形成し、さらに、図17のようにディープベース領域形成用マスク31を用いて、ベース領域3a, 3bの表

層部の所定領域に、ベース領域3a, 3bの深さよりも浅いソース領域4a, 4bを形成する。その後、表面チャネルエピ層5の表面にゲート絶縁膜7を介してゲート電極8を形成するとともに、ベース領域3a, 3bおよびソース領域4a, 4bに接触するソース電極10を形成する。

【0077】このようにして、ディープベース領域形成用マスク31を用いてソース領域4a, 4bが形成され、マスクの共通化を図ることができる。

(第3の実施の形態) 次に、第3の実施の形態を、第2の実施の形態との相違点を中心に説明する。

【0078】図21には、本実施形態におけるnチャネルタイプのプレーナ型MOSFET(縦型パワーMOSFET)の断面図を示す。図21において、ベース領域3a, 3bの厚さを厚くした部分、即ち、ディープベース領域30c, 30dを、ソース領域4a, 4bとは重ならない箇所に形成している。これにより、破壊しにくくなる。

【0079】この理由について説明する。ブレイクダウンはディープベース領域30c, 30dで発生し、ソース電極10とドレイン電極11との間にブレイクダウン電流が流れる。この際、ブレイクダウン電流の流れる経路にソース領域が存在すると、ソース領域に電圧降下が生じ、p型ベース領域3a, 3bとのpn接合が順バイアスされ、これによりn⁺型炭化珪素エピ層2とベース領域3a(3b)とソース領域4a(4b)とからなるnpnトランジスタが動作してしまい大電流が生じ、素子が熱せられ、信頼性上好ましくない状態になり得る。従って、本実施形態のようにブレイクダウン電流が主に流れる経路からソース領域4a, 4bを外すことでこのような事態を回避することができる。

【0080】このように本実施形態は、下記の特徴を有する。

(イ) ベース領域3a, 3bの一部の厚さを厚くした部分(ディープベース領域30c, 30d)は、ソース領域4a, 4bとは重ならない箇所に設けたため、破壊しにくいものとすることができる。

(第4の実施の形態) 次に、第4の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0081】図22には、本実施形態におけるnチャネルタイプのプレーナ型MOSFET(縦型パワーMOSFET)の断面図を示す。図22において、n⁺型炭化珪素エピ層2の表面に、n⁺型SiC層40が延設されている。つまり、ベース領域3a, 3bの表面部においてソース領域4a, 4bとn⁺型炭化珪素エピ層2とを繋ぐようにn⁺型SiC層40が配置されている。このn⁺型SiC層40は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が3Cのものである。又、n⁺型SiC層40は、デバイスの動作時にデバイス表面においてチャネル形成層として機

能する。この n^- 型SiC層40を表面チャネルエピ層という。

【0082】このように、表面チャネルエピ層40がソース領域4a、4bの一部領域S上に重なっている。より正確には、表面チャネルエピ層40はソース領域4a、4bの全面を覆っていない。

【0083】他は、図1と同様の構成であり、同一の符号を付すことによりその説明は省略する。次に、このパワープレーナ型MOSFETの製造工程を、図23～図27を用いて説明する。

【0084】まず、図23に示すように、 n 型6H-SiC基板、即ち、 n^- 型炭化珪素半導体基板1を用意し、この基板1の主表面1aに厚さ $5\mu\text{m}$ の n^- 型炭化珪素エピ層2をエピタキシャル成長する。本例では、 n^- 型炭化珪素エピ層2は下地の基板(1)と同様の結晶が得られ、 n 型6H-SiC層となる。

【0085】そして、図24に示すように、 n^- 型炭化珪素エピ層2の上の所定領域にLTO膜20を配置し、これをマスクとしてAl(アルミニウム)をイオン注入して、 p^- 型炭化珪素ベース領域3a、3bを形成する。

【0086】さらに、LTO膜20を除去した後、図25に示すように、 n^- 型炭化珪素エピ層2の上の所定領域にLTO膜41を配置し、これをマスクとして N_2 をイオン注入して、 n^- 型ソース領域4a、4bを形成する。

【0087】そして、LTO膜41を除去した後、図26に示すように、 n^- 型炭化珪素エピ層2の上に n^- 型の表面チャネルエピ層40をエピタキシャル成長する。このときの成長条件は、ソースガスとして SiH_4 、C、 H_2 を用い、かつ、 $\text{SiH}_4/\text{C}/\text{H}_2$ 流量比を「0.5」とする。また、成長温度を 1300°C とする。これにより、3C-SiC表面チャネルエピ層40を得る。

【0088】引き続き、図27に示すように、不要な表面チャネルエピ層40を除去する。すなわち、フォトリジスト材、 SiO_2 膜、 Si_3N_4 膜などのマスク材Mを形成し、ドライエッチング(例えばRIE法)により不要な表面チャネルエピ層40を除去する。また、マスク材Mを Si_3N_4 膜として表面チャネルエピ層40を熱酸化によって酸化膜に変換させ除去することもできる。また、ドライエッチングにより表面チャネルエピ層40を除去する場合、エッチングにて露出した n^- 型ソース領域4a、4bおよび p^- 型炭化珪素ベース領域3a、3bの表面はドライエッチングにより荒れた状態になるが、このような荒れた表面を熱酸化により除去することもできる。

【0089】その後、図22に示すように、ゲート絶縁膜(ゲート酸化膜)7を形成する。その後、ゲート絶縁膜7の上にポリシリコンゲート電極8をLPCVDによ

り堆積する。引き続き、LTOよりなる絶縁膜9を形成してゲート絶縁膜7を覆う。そして、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に 1000°C のアニールを行う。

【0090】このようにして、パワープレーナ型MOSFETが完成する。このパワープレーナ型MOSFETのオフ時にはポリシリコンゲート電極8と表面チャネルエピ層40の仕事関数差および p^- 型炭化珪素ベース領域3a、3bと表面チャネルエピ層40のpn接合による空乏化によりピンチオフする。

【0091】一方、ポリシリコンゲート電極8に電圧を印加することで表面チャネルエピ層40にキャリアが蓄積する蓄積モードでオンする。オン状態においては、電子は、 n^- 型ソース領域4a、4bから表面チャネルエピ層40を経由し表面チャネルエピ層40から n^- 型炭化珪素エピ層2に流れ、 n^- 型炭化珪素エピ層2(ドリフト領域)に達すると、電子は、 n^- 型炭化珪素半導体基板1(n^- ドレイン)へ垂直に流れる。

【0092】ここで、ソース領域4a、4bと表面チャネルエピ層40との接触箇所Sがコンタクト面積となり、図1の構造に比べ、表面チャネルエピ層40へのコンタクト面積をかせぐことができる。

【0093】このように本実施形態は、下記の特徴を有する。

(イ) 表面チャネルエピ層40はソース領域4a、4bの一部領域上に重なっている構造としたので、ソース領域4a、4bから表面チャネルエピ層40へのコンタクト面積を広くすることができる。

(ロ) この場合の製造方法として、図23のように半導体基板1の主表面上に、 n^- 型炭化珪素エピ層2を形成し、図24のように n^- 型炭化珪素エピ層2の表層部の所定領域に、所定深さを有するベース領域3a、3bを形成するとともに、図25のようにベース領域3a、3bの表層部の所定領域に、ベース領域3a、3bの深さよりも浅いソース領域4a、4bを形成する。そして、図26のように n^- 型炭化珪素エピ層2の上に、表面チャネルエピ層40をエピタキシャル成長し、図27のようにソース領域4a、4bの上の一部に表面チャネルエピ層40を残した状態で不要な表面チャネルエピ層40を除去する。さらに、図22のように表面チャネルエピ層40の表面にゲート絶縁膜7を介してゲート電極8を形成するとともに、ベース領域3a、3bおよびソース領域4a、4bに接触するソース電極10を形成する。このようにすると、(イ)の半導体装置が製造される。

【0094】なお、本実施形態の応用例として、以下のようにしてもよい。図28に示すように、ベース領域3a、3bにおいて、一部の厚さが厚くなっている。つまり、ディープベース領域50a、50bが形成されている。このベース領域3a、3bの厚さを厚くした部分

10

20

30

40

50

(ディープベース領域50a, 50b)の不純物濃度は、厚さの薄い部分の不純物濃度よりも高くなっている。また、ディープベース領域50a, 50bはソース領域4a, 4bの下部に形成されている。

【0095】また、第1実施形態及び第2実施形態と同様にソース領域4a, 4bに凹部6a, 6bを形成してソース電極10とコンタクトさせるようにしてもよい。このようにすると、凹部6a, 6bの分だけ電極とのコンタクト領域が増加する。

【0096】あるいは、図29に示すように、ベース領域3a, 3bにおいて、一部の厚さが厚いディープベース領域50c, 50dが形成され、かつ、このディープベース領域50c, 50dはソース領域4a, 4bとは重ならない箇所に形成している。これにより、破壊しにくくなる。

【0097】また、半導体基板1とn⁻型炭化珪素エピ層2とベース領域3a, 3bとソース領域4a, 4bを構成する炭化珪素の結晶系・多形と、表面チャネルエピ層40の炭化珪素の結晶系・多形が同じであってもよい。

【図面の簡単な説明】

【図1】 第1の実施形態におけるパワープレーナ型MOSFETの断面構造模式図。

【図2】 パワープレーナ型MOSFETの製造工程を説明するための断面図。

【図3】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図4】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図5】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図6】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図7】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図8】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図9】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図10】 表面チャネルエピ層の厚さと耐圧との関係を示す説明図。

【図11】 第1の実施形態での別例のパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図12】 第2の実施形態におけるパワープレーナ型MOSFETの断面構造模式図。

【図13】 パワープレーナ型MOSFETの製造工程を説明するための断面図。

【図14】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図15】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図16】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図17】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図18】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図19】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図20】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図21】 第3の実施形態におけるパワープレーナ型MOSFETの断面構造模式図。

【図22】 第4の実施形態におけるパワープレーナ型MOSFETの断面構造模式図。

【図23】 パワープレーナ型MOSFETの製造工程を説明するための断面図。

【図24】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図25】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図26】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図27】 同じくパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図28】 第4の実施形態での別例のパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図29】 第4の実施形態での他の別例のパワープレーナ型MOSFETの製造工程を説明するための断面図。

【図30】 従来技術を説明するためのトレンチ型MOSFETの断面構造模式図。

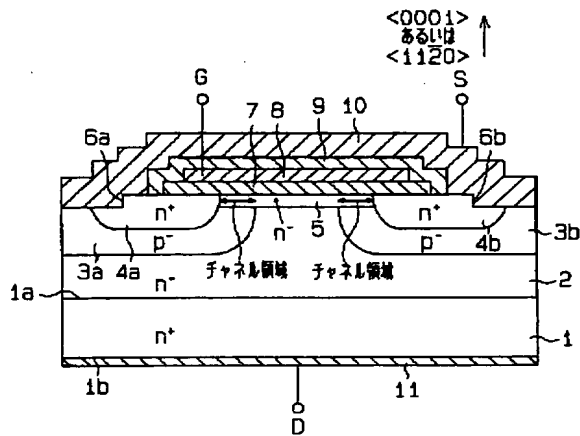
【図31】 電界と距離との関係を示す説明図。

【図32】 従来技術を説明するためのプレーナ型MOSFETの断面構造模式図。

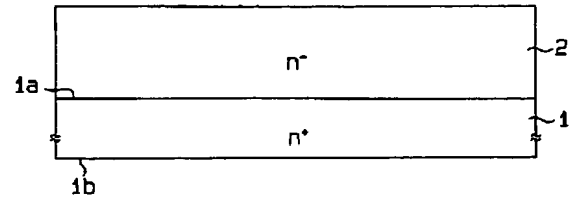
【符号の説明】

1…n⁻型炭化珪素半導体基板、2…n⁻型炭化珪素エピ層、3a, 3b…p⁺型炭化珪素ベース領域、4a, 4b…n⁺型ソース領域、5…表面チャネルエピ層、7…ゲート絶縁膜、8…ポリシリコンゲート電極、10…ソース電極、11…ドレイン電極、30a, 30b, 30c, 30d…ディープベース領域、31…マスク、40…表面チャネルエピ層、50a, 50b, 50c, 50d…ディープベース領域。

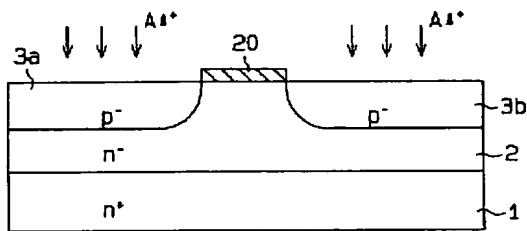
【図 1】



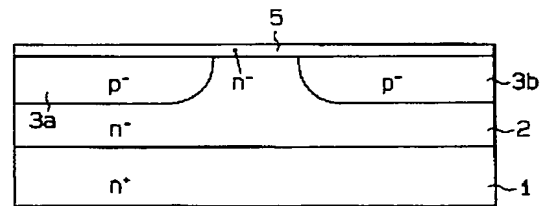
【図 2】



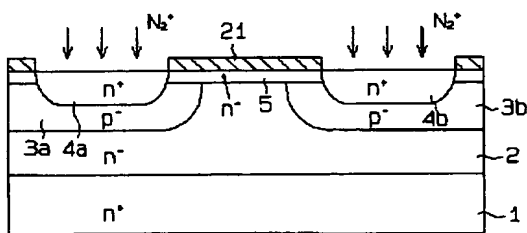
【図 3】



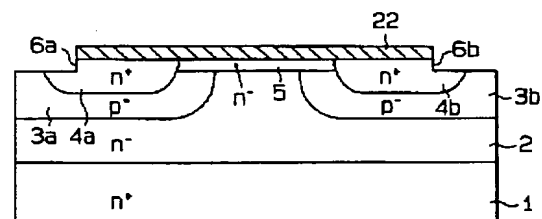
【図 4】



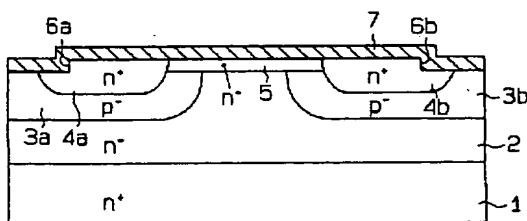
【図 5】



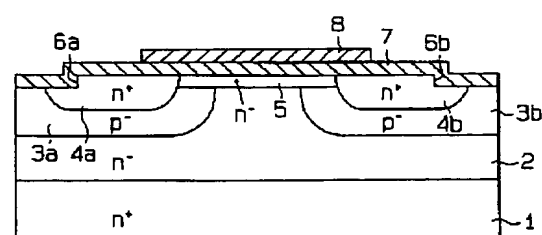
【図 6】



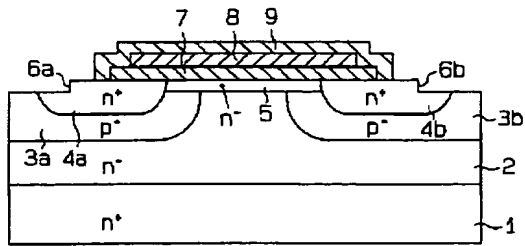
【図 7】



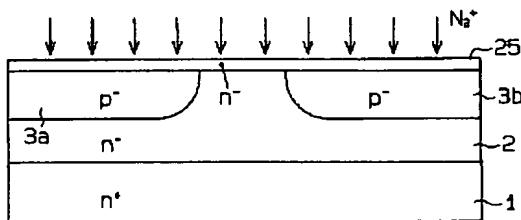
【図 8】



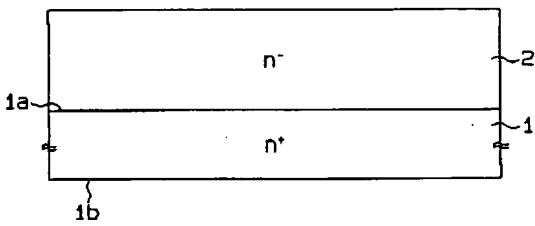
【図 9】



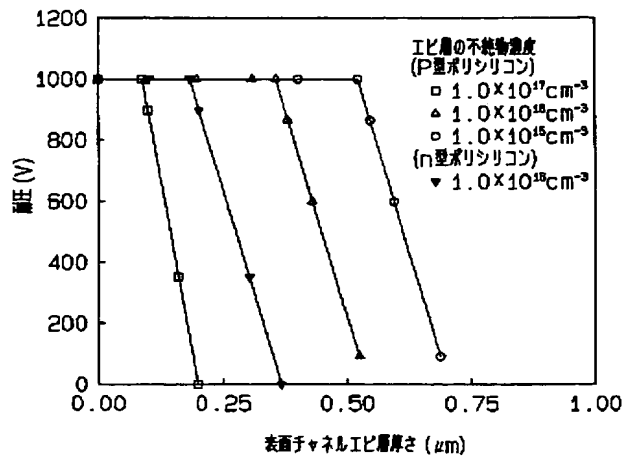
【図 11】



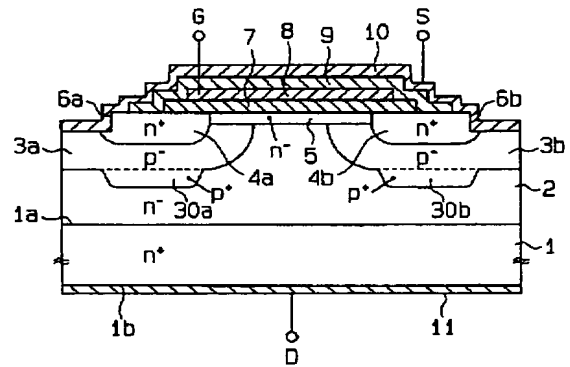
【図 13】



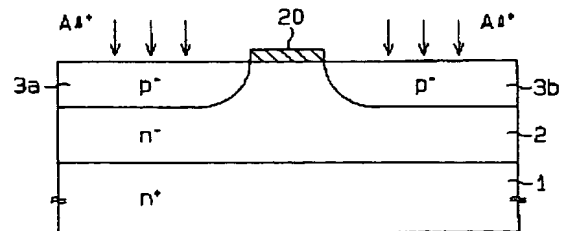
【図 10】



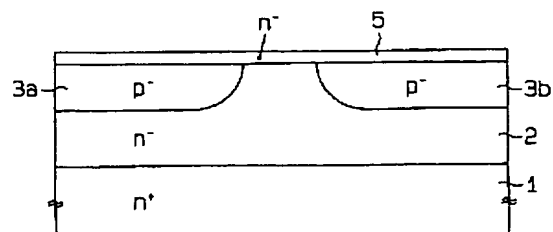
【図 12】



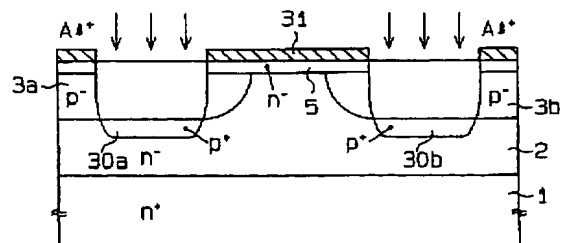
【図 14】



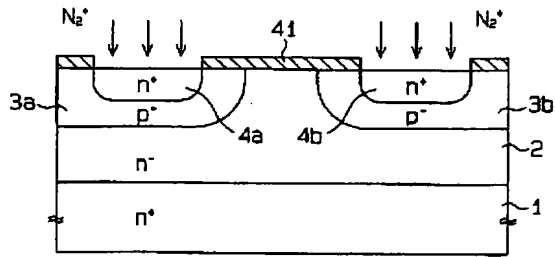
【図 15】



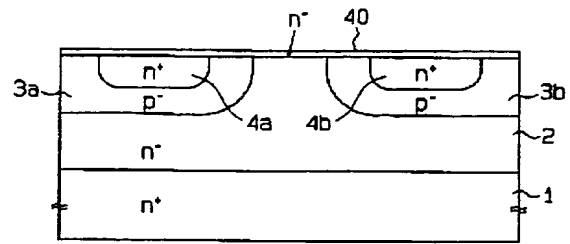
【図 16】



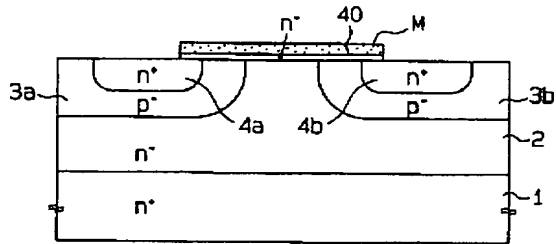
【図 25】



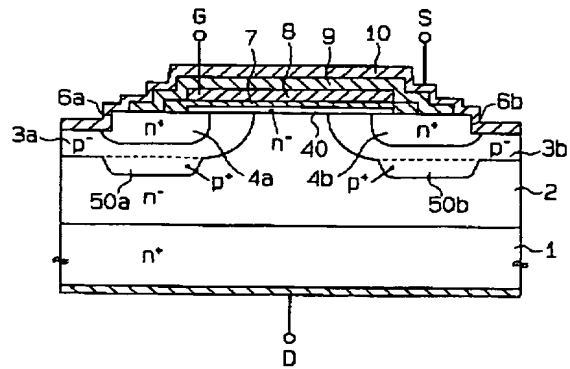
【図 26】



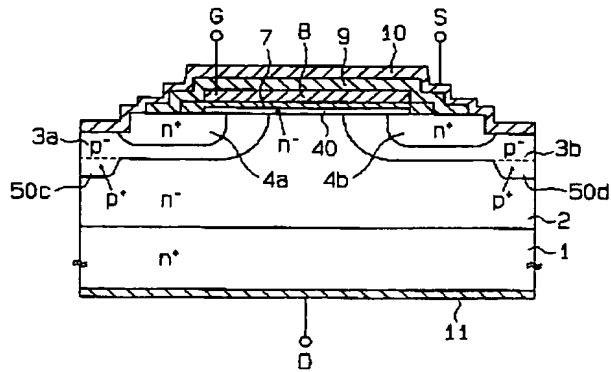
【図 27】



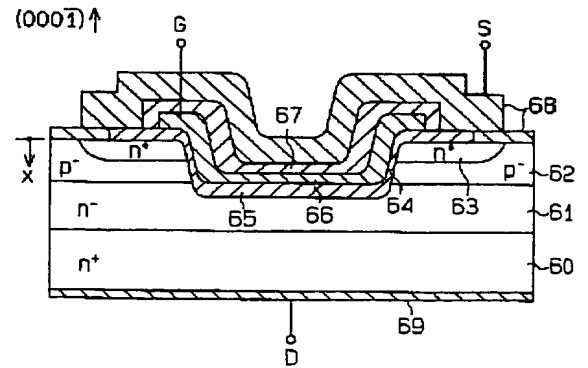
【図 28】



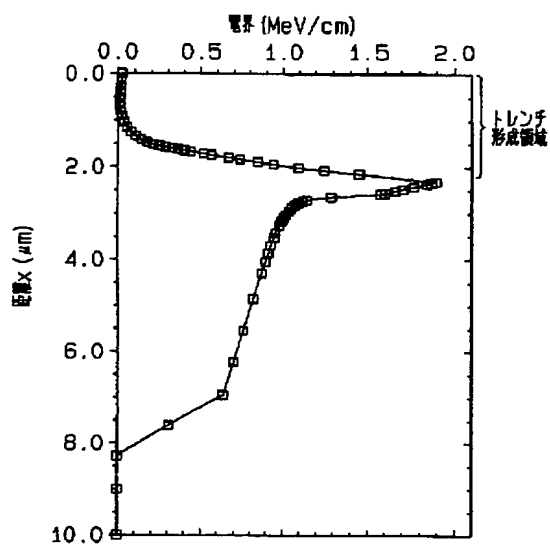
【図 29】



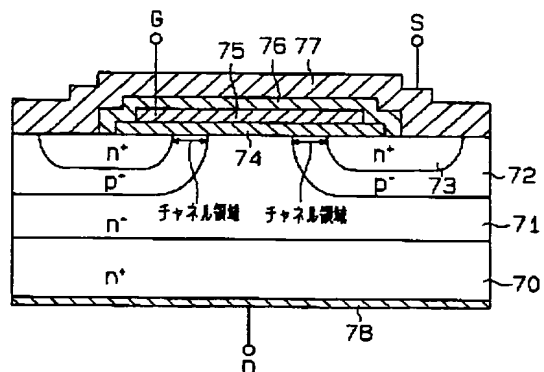
【図 30】



【図 3 1】



【図 3 2】



フロントページの続き

(72)発明者 原 邦彦
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内